

**WEST**[Help](#)[Logout](#)[Main Menu](#) [Search Form](#) [Result Set](#) [Show S Numbers](#) [Edit S Numbers](#)[First Hit](#)[Previous Document](#)[Next Document](#)[Full](#) [Title](#) [Citation](#) [Front](#) [Review](#) [Classification](#) [Date](#) [Reference](#) [Claims](#) [RWOC](#)**Document Number 1**

Entry 1 of 1

File: JPAB

May 9, 1991

PUB-NO: JP403109775A

DOCUMENT-IDENTIFIER: JP 03109775 A

TITLE: INSULATION-GATE-TYPE SEMICONDUCTOR DEVICE

PUBN-DATE: May 9, 1991

**INVENTOR-INFORMATION:**

NAME

SAKAMOTO, MITSUZO

KURE, TOKUO

OKABE, TAKEAKI

YOSHIDA, ISAO

MORIKAWA, MASATOSHI

**ASSIGNEE-INFORMATION:**

NAME

COUNTRY

HITACHI LTD N/A

APPL-NO: JP01246278

APPL-DATE: September 25, 1989

INT-CL (IPC): H01L 29/784

**ABSTRACT:**

PURPOSE: To reduce ON resistance and improve strength against damage by burying a gate electrode in silicon and forming not only a source and a body but also a source electrode self-alignedly with a gate pattern.

CONSTITUTION: A gate electrode 8 is buried in a groove formed on a principal face of a semiconductor matrix, and a source region and a body region are formed self-alignedly with this gate electrode 8. Further a source electrode 15 for connecting the source with the body is buried on the principal face of the semiconductor matrix self-alignedly with the gate electrode 8. In this case a channel of a MIS transistor can be formed in a longitudinal direction while the gate can be formed self-alignedly not only with the source and the body but also with the source electrode which connects the body with the source. Thus strength against damage, ON resistance and switching characteristics can be improved.

COPYRIGHT: (C) 1991, JPO&amp;Japio

[Main Menu](#) [Search Form](#) [Result Set](#) [Show S Numbers](#) [Edit S Numbers](#)[First Hit](#)[Previous Document](#)[Next Document](#)[Full](#) [Title](#) [Citation](#) [Front](#) [Review](#) [Classification](#) [Date](#) [Reference](#) [Claims](#) [RWOC](#)**BEST AVAILABLE COPY**

## ⑫ 公開特許公報(A) 平3-109775

⑤ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

④ 公開 平成3年(1991)5月9日

H 01 L 29/784

8728-5F

H 01 L 29/78

3 2 1 V

審査請求 未請求 請求項の数 4 (全8頁)

⑭ 発明の名称 絶縁ゲート型半導体装置

① 特 願 平1-246278

② 出 願 平1(1989)9月25日

⑦ 発 明 者 坂 本 光 造 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑦ 発 明 者 久 礼 得 男 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑦ 発 明 者 岡 部 健 明 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑦ 発 明 者 吉 田 功 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑦ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑦ 代 理 人 弁理士 小川 勝男 外1名

最終頁に続く

## 明 細 書

## 1. 発明の名称

絶縁ゲート型半導体装置

## 2. 特許請求の範囲

1. 半導体母体の主表面に形成した溝にゲート電極が埋め込まれて形成されており、このゲート電極と自己整合的にソース領域とボディ領域が形成されており、さらにソースとボディを接続するソース電極も上記ゲート電極と自己整合的に半導体母体の主表面に形成した溝に埋め込んで形成されていることを特徴とする絶縁ゲート型半導体装置。
2. 半導体母体の主表面に形成した溝にゲート電極が埋め込まれて形成されており、このゲート電極と自己整合的にソース領域とボディ領域が形成されており、さらにソースとボディを接続し、さらに、ドレインとショットキ接続するソース電極を上記ゲート電極と自己整合的に半導体母体の主表面に形成した溝に埋め込んで形成されていることを特徴とする絶縁ゲート型半導

体装置。

3. チャンネルが形成されるボディ領域またはベース領域がゲート絶縁層と金属または合金でできたソース電極層によりはさまれて形成され、前記ソース電極層からゲート絶縁層までの距離をチャンネル長より短く設けたことを特徴とする絶縁ゲート型半導体装置。

4. 半導体母体の主表面に、ゲート電極層とゲート絶縁層を埋め込んだ溝と、ボディと接続するソース電極層を埋め込んだ溝を有し、さらに、チャンネル形成領域が前記ゲート絶縁層と前記ソース電極層によりはさまれて形成されていることを特徴とする、導電変調効果を利用しない絶縁ゲート型半導体装置。

## 3. 発明の詳細な説明

## 【産業上の利用分野】

本発明はMISトランジスタや導電変調型バイポーラトランジスタのような絶縁ゲート型半導体装置に係り、特に、耐破壊強度が高く、オン抵抗を小さくしたことを特徴とする半導体装置に関する

る。

#### 【従来の技術】

導電変調型バイポーラトランジスタは高耐圧・低オン抵抗を実現する半導体素子として注目されているが、寄生的にサイリスタ構造となっているため、ドレイン電流が大きくなったとき、ゲート・ソース間電圧をゼロにしてもドレイン電流を止めることができなくなるというラッチアップ状態になる可能性を秘めている。この対策として、特開昭63-224260では、ゲートとソース電極材料をシリコン中に埋め込んで形成し、ゲート電極とゲート絶縁物とチャンネル領域とソース電極をシリコン表面に対し直交する向きに形成した。このため、ソースとベースが順バイアスされにくくなり、寄生サイリスタのラッチアップ強度を向上し、さらに、チャンネルを縦に形成できるため、素子の集積度が向上され、オン抵抗を低減可能となった。

#### 【発明が解決しようとする課題】

上記従来例では、導電変調型バイポーラトラン

ジスタのラッチアップ特性の向上を図ったMISトランジスタならびに導電変調型バイポーラトランジスタ等の絶縁ゲート型半導体装置とその製造方法を提供することにある。

#### 【課題を解決するための手段】

上記目的を達成するために、シリコンの表面に形成した溝をゲート酸化した後、ゲート電極を前記溝に埋め込み、このゲート電極と自己整合的にソース領域とボディ領域を形成し、さらにソースとボディを接続するソース電極も上記ゲート電極と自己整合的に形成した溝に埋め込んで形成した。また、ドレイン領域への少数キャリアの拡散を低減するためは、前記のソース電極用溝をドレイン領域まで延在し、ソースとドレイン間にショットキダイオードを形成する構造とした。

#### 【作用】

本発明によれば、MISトランジスタのチャンネルを縦方向に形成でき、また、ゲートをソースとボディのみならず、ボディとソースを接続するソース電極とも自己整合的に形成できるため、素子

の破壊強度向上とオン抵抗向上に関してのみ考慮されており、導電変調効果を用いない絶縁ゲート型半導体装置のオン抵抗低減と耐破壊強度の向上に関しては考慮がなされてなかった。

また、シリコン溝の中に形成するソース電極とチャンネル形成領域までの距離を短くすることにより、導電変調型バイポーラトランジスタのソースとベース（絶縁ゲート型MISトランジスタのソースとボディ）が順バイアスされにくくなるように、ゲート電極と埋込ソース電極を自己整合的に形成する構造ならびに製造方法に関しては考慮されてなかった。

また、前記従来例では導電変調型バイポーラトランジスタのベースからN型エピタキシャル領域に拡散される少数キャリア（絶縁ゲート型バイポーラトランジスタのボディからドレインに拡散する少数キャリア）を低減させ、高速スイッチングならびに素子破壊破壊強度で強度を向上する手法に関しては考慮されてなかった。

本発明の目的は、耐破壊強度、オン抵抗、スイ

ッチング特性の向上を図ったMISトランジスタならびに導電変調型バイポーラトランジスタ等の絶縁ゲート型半導体装置とその製造方法を提供することにある。

また、絶縁ゲート型MISFETの場合には、ボディ領域のチャンネルが形成される領域からソース電極までの距離を短くできるため、ソース・ボディ間接合が順バイアスされにくくなり、ソース・ボディ・ドレインからなる寄生バイポーラが動作することによるラッチアップ現象を阻止し、素子の耐破壊強度が向上できるという利点がある。

また、導電変調型バイポーラトランジスタの場合には、ベース領域のチャンネルが形成される領域からソース電極までの距離を短くできるため、ソース・ベース間接合が順バイアスされにくくなり、ソース・ベース・N型エピタキシャル領域・P型アノード領域からなる寄生サイリスタがラッチアップするのを阻止し、素子破壊強度を向上できるという利点がある。

また、ソース電極をドレイン領域まで延在させ、ソースとドレイン間にショットキダイオードを内蔵させた構造を用いた場合には、ドレイン内への

少数キャリアの拡散量を低減できるため高速スイッチング動作と破壊強度の向上を行えるという利点がある。

#### 【実施例】

以下、本発明の実施例を詳細に説明する。

第1図は本発明の第1の実施例の半導体装置の断面図で、第2図はその製造工程の断面図を示している。

まず最初に、高濃度N型半導体基板1の上にN型エピタキシャル層3を成長させ、酸化層4、シリコン窒化層5、絶縁層6を順に形成した後、ゲート形成領域部を垂直にドライエッチングする[第2図(a)]。

次に、ゲート絶縁層7を形成後、多結晶シリコン層8を表面が平坦になるまで形成する。その後、絶縁層6が剥れるまで多結晶シリコン層8をエッチバックする。この後、多結晶シリコン層8の低抵抗化のためリンまたはヒ素等の不純物を拡散する。なお、この後、タングステン等のシリコンと合金化しシリサイドとなる金属をスパッタし、多



工程は、ソースコンタクト用のシリコンエッチング工程の直後か、シリコンエッチングの直前に行う。シリコンエッチングの直前にシリコンエッチングを行った場合には、多結晶シリコン層8もシリコンエッチングされるが、最大でも、ゲート絶縁層7でエッチングをストップさせる条件とすることが望ましい。

また、ソース電極とボディを確実にオーミック接触させるため、また、ドレインに電圧を印加したときにボディ部のパンチスルー耐圧向上のため、ソース電極用のシリコンエッチング後にP型不純物をイオン打ち込みし、P型拡散層11のコンタクト部の濃度を増加させても良い。

本半導体装置ではゲート電極をシリコンに埋込み、チャンネルを縦方向に形成していることと、ソースとボディとソース電極のコンタクト穴をゲートパターンと自己整合的に形成できるため、素子の高集積化が容易である。本発明によればチャンネルが形成されるボディ領域11を自己整合的にゲート絶縁層7とソース電極層8によりはさんで

結晶シリコン層7の上部にのみシリサイド層を選択的に形成しゲートの低抵抗化を行っても良い。

[第2図(b)]。

次に、絶縁層6を除去し、酸化を行う。この酸化工程によりシリコン窒化層5の直下は酸化させずに、多結晶シリコン層8だけを選択的に酸化し、酸化層9を形成する。その後、シリコン窒化層5と酸化層4を除去し、新たに酸化層10を形成し、P型拡散層(MOSトランジスタのボディ)11とN型拡散層(MOSトランジスタのソース)12を形成する[第2図(c)]。

次に、絶縁層13を堆積し、酸化層9の側壁に、絶縁層13が残るようにドライエッチングを行う[第2図(d)]。

その後、酸化層9と絶縁層13をマスクにして、ボディ領域11に達するまで、シリコンのドライエッチングを行い、ソース電極15を形成することにより第1図の構造が得られる。

なお、本図には示していないが、ゲート電極層8のコンタクト形成のための酸化層9のエッチング



形成できるため、ソース電極層15からゲート絶縁層7までのボディ領域11の距離をチャンネル長より短くすることも可能である。このため、ボディ領域11の電位を確実にソース領域12の電位に固定でき、ソース・ボディ・ドレインからなる寄生バイポーラトランジスタ動作を防止でき、耐破壊特性を向上できるという効果がある。

本実施例ではボディとなるP型拡散層11をゲート電極の溝より浅く形成しているが、ゲート電極の溝より深く形成してもよい。

第3図は本発明の第2の実施例の半導体装置の断面図である。本実施例では、ソース電極用のシリコンエッチングをP型拡散層11より深く形成しても、後にP型不純物をイオン打ち込みし、P型拡散層11'を形成することによりボディ・ソース間のコンタクト抵抗を低減した場合の実施例を示してある。

第4図は本発明の第3の実施例の半導体装置の製造工程を示す断面図である。本実施例は第2図に示した製造方法とは別の方法を用いた製造方法

とその結果得られる半導体装置の構造を示したものであるが、本半導体装置の利点は第1図の場合と同様である。

まず最初に、高濃度N型半導体基板1の上にN型エピタキシャル層3を成長させ、酸化層4、シリコン窒化層5、絶縁層6を順に形成した後、ゲート形成領域部を垂直にドライエッチングを行い第2図(a)と同様な形状を実現した後、シリコン窒化層5のサイドエッチングを行う、そしてゲート絶縁層7を形成する[第4図(a)]。

その後、多結晶シリコン等のゲート電極層8を表面が平坦になるまで堆積を行ない、絶縁層6が現れるまでエッチバックする[第4図(b)]。

その後、酸化を行ない、多結晶シリコン8を選択的に酸化し酸化層9を形成するが、シリコン窒化層5の下は酸化しない。次に、シリコン窒化層5まで酸化層のエッチングを行ないシリコン窒化膜5を除去し、酸化層10を形成する。次に、酸化層9をマスクにして、イオン打ち込みと熱拡散工程により、P型拡散層11とN型拡散層12を

形成する[第4図(c)]。

その後、酸化層10を除去し、酸化層9をマスクにしてシリコンのドライエッチングを行いソース電極層15を形成することにより第4図(d)の構造が得られる。

第2図の製造方法ではソース電極用エッチング溝とゲート電極との距離を離すため、ゲートの側壁に形成されるサイドスペーサを利用してしたが、本製造方法では、ソース電極用エッチング溝とゲート電極との距離を決定するために、ゲート電極用の多結晶シリコンの酸化を行う前にシリコン窒化膜をサイドエッチし、このエッチング量で制御した例である。本実施例でも、第2図の製造方法のように、ゲートの側壁に形成されるサイドスペーサを併用してソース電極用シリコンエッチングを行ってもよい。

第5図は本発明の第4の実施例の半導体装置の製造工程を示す断面図である。

まず最初に、高濃度N型半導体基板1の上にN型エピタキシャル層3を成長させ、酸化層4、シ

リコン窒化層5、絶縁層6を順に形成した後、ゲート形成領域部を垂直にドライエッチングを行い、第2図(a)と同様な形状を実現した後、ゲート絶縁層7を形成後、タングステン等のゲート電極層8を堆積とエッチバックによりシリコン溝の底に形成する[第5図(a)]。

その後、シリコン窒化層5をサイドエッチングし絶縁層9'を表面が平坦になるまで堆積する[第5図(b)]。

その後、シリコン窒化層5が現れるまで、絶縁層9'と6をエッチバックし、さらに、シリコン窒化層5を除去し、酸化膜10を形成する。次に、酸化層9'をマスクにして、イオン打ち込みと熱拡散工程により、P型拡散層11とN型拡散層12を形成する[第5図(c)]。

その後、酸化層10を除去し、酸化層9'をマスクにしてシリコンのドライエッチングを行い、ソース電極層15を形成し、第5図(d)の構造が得られる。

本製造方法も、ソース電極用エッチング溝とゲ

ート電極との距離はシリコン窒化膜のサイドエッチング量で制御した例である。

本実施例では、ゲート電極としてタングステン等の金属を用いるプロセスが容易に実現できるといふ利点がある。

これまで述べてきた製造方法では信頼度向上のため、ソース拡散層12とチャネル拡散層11の形成をゲート酸化の後に行う場合で説明したが、ゲートのシリコンエッチング溝を形成する前にこの2つの拡散を行っても、ゲート電極と自己整合的に拡散層の形成を行える。

第6図は本発明の第5の実施例の半導体装置の断面図である。

本実施例では、ソースコンタクト穴をドレイン領域まで延在させてエッチングし、ドレインとソース電極との間にショットキ接合を形成した場合の実施例である。本実施例では安定なショットキ接合を形成するため、ソースコンタクト穴形成後に、プラチナを蒸着し、熱工程によりシリコン部のプラチナを選択的にシリサイド層14に変え、

絶縁層上のプラチナは王水等によりエッチングし除去した構造を示してある。なお、ショットキ接合の面積を増加するため、ソースコンタクトの溝の深さはゲート電極の溝の深さより深くしても良い。本実施例の半導体装置は第4図や第5図に示した製造方法を用いても、もちろん実現可能である。

本実施例ではドレインとボディ間に寄生的に存在するPN接合ダイオードを最小限に小さくし、そのかわり、ドレイン・ソース間にショットキダイオードを形成できる。このため、MOSトランジスタを逆動作させても、ドレイン中に拡散される少数キャリアの量を最小限に抑ええることが可能である。このため、インダクタンス負荷に対しても、高速に動作でき、素子の破壊耐量も向上できるという利点がある。

第7図は本発明の第6の実施例の半導体装置の断面図である。

本実施例では絶縁ゲート型バイポーラトランジスタを実現する場合を示してある。ここで、2は

いう効果がある。

また、ソースとボディはゲート酸化後に形成することができるため、従来のプレーナプロセスと同様に信頼度的にも良好な製造プロセスで実現できるという効果もある。

また、ソース電極をドレイン領域まで延在させ、ソースとドレイン間にショットキダイオードを内蔵させた構造を用いた場合には、ドレイン内への少数キャリアの拡散量を低減できるため、高速スイッチング動作化と破壊強度の向上を行えるという効果がある。

#### 4. 図面の簡単な説明

第1図は本発明の第1の実施例の半導体装置の断面図、第2図は本発明の第1の実施例を実現するための、製造プロセスを示す断面図、第3図は本発明の第2実施例の半導体装置の断面図、第4図は本発明の第3の実施例の半導体装置の製造プロセスを示す断面図、第5図は本発明の第4の実施例の半導体装置の製造プロセスを示す断面図、第6図は本発明の第5実施例の半導体装置の断面

図、第7図は本発明の第6の実施例の半導体装置の断面図である。

図、第7図は本発明の第6の実施例の半導体装置の断面図である。

#### 【発明の効果】

本発明によれば、ゲート電極をシリコン内に埋込み、チャネルを縦方向に形成していることと、ソースとボディのみならずソース電極のコンタクト穴もゲートパターンと自己整合的に形成できるため、素子の高集積化が容易である。このため、オン抵抗を低減できるという効果がある。

さらに、ソース電極からチャネル領域までのボディ領域の長さを短くすることにより寄生トランジスタ動作を防止し、破壊強度の向上を行えると

図、第7図は本発明の第6の実施例の半導体装置の断面図である。

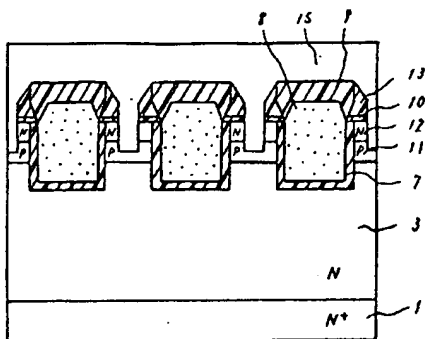
#### 符号の説明

1…高濃度N型半導体基板、1'…高濃度P型半導体基板、2…N型拡散層、3…N型エピタキシャル層、4…酸化層、5…シリコン窒化層、6…絶縁層、7…ゲート絶縁層、8…ゲート電極層、9…酸化層、9'…絶縁層、10…絶縁層、11…P型拡散層、11'…P型拡散層、12…N型拡散層、13…絶縁層、14…シリサイド層、15…金属電極層

代理人 弁理士 小川 勝男

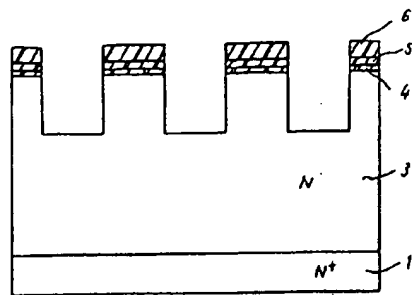


第 1 図

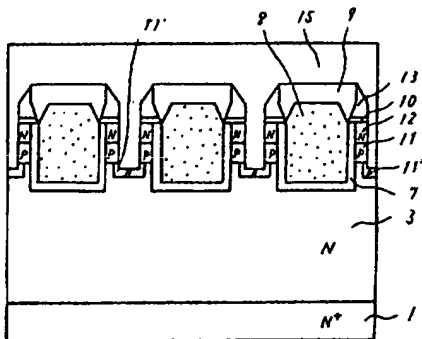


第 2 図

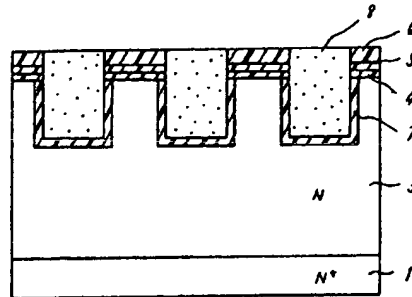
(a)



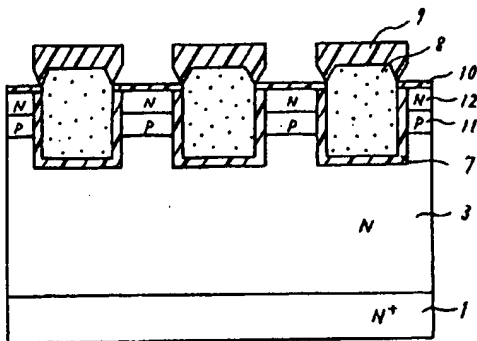
第 3 図



(b)

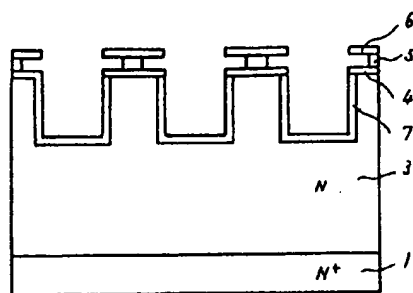


(c) 第 2 図

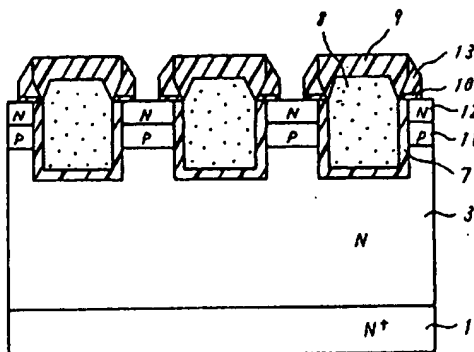


第 4 図

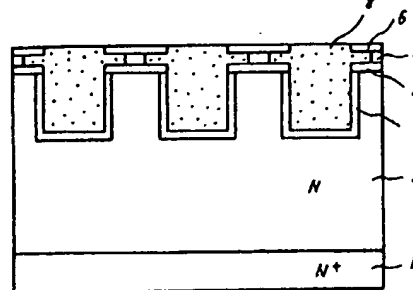
(a)



(a)

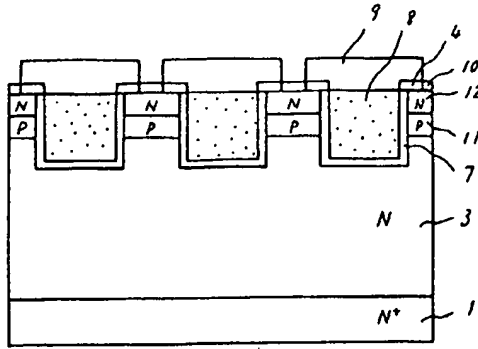


(b)



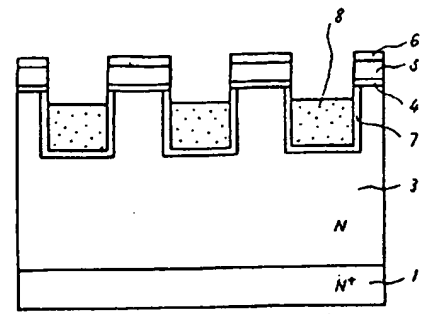
第4図

(c)

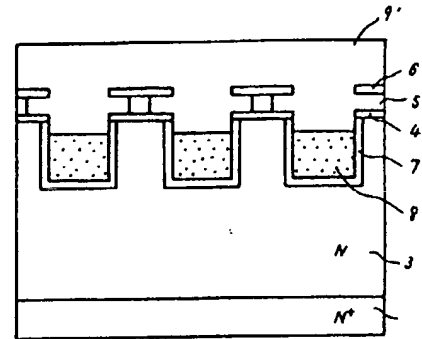


第5図

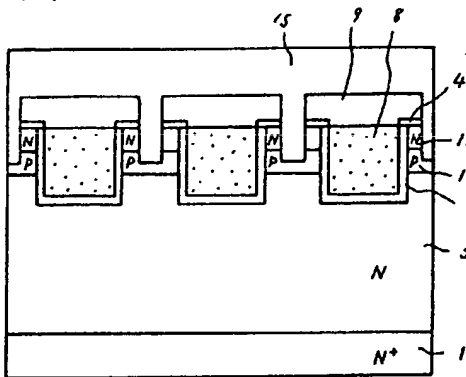
(a)



(b)

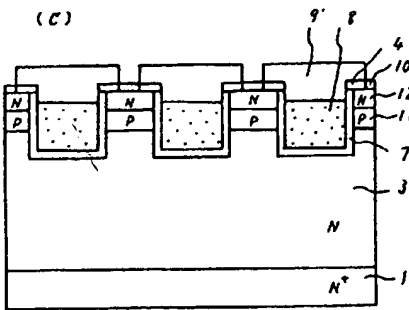


(d)

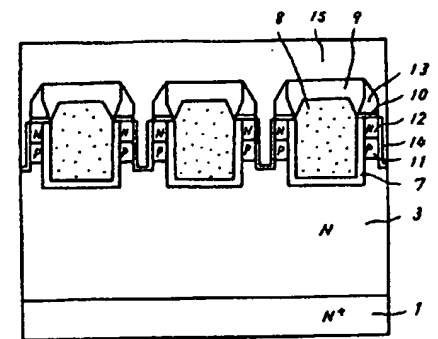


第5図

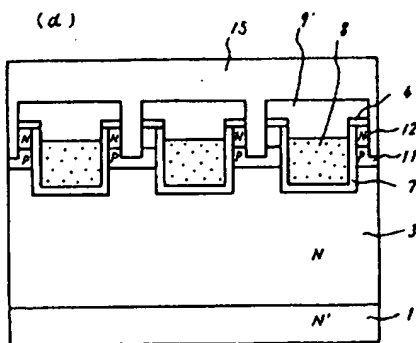
(c)



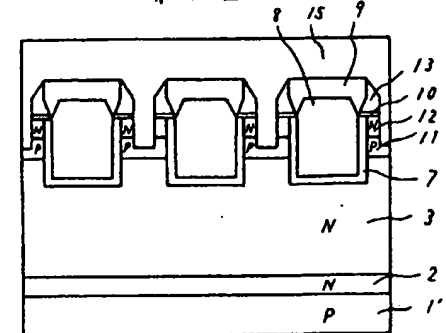
第6図



(d)



第7図





第1頁の続き

②発 明 者    森   川            正   敏    東京都国分寺市東恋ヶ窪1丁目280番地    株式会社日立製作所中央研究所内

This Page is inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☒ SKEWED/SLANTED IMAGES
- ☐ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images  
problems checked, please do not report the  
problems to the IFW Image Problem Mailbox**